

IN THE U.S. PATENT AND TRADEMARK OFFICE

1c586 U.S. PTO  
09/138578  
08/24/98

Applicant(s): KAMEDA, Takeshi; and MURAMATSU, Tsuyoshi

Application No.:

Group:

Filed: August 24, 1998

Examiner:

For: DATA TRANSMISSION LINE USED CONTINUOUSLY CONNECTED IN  
PLUARLITY OF STAGES IN ASYNCHRONOUS SYSTEM

LETTER

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

August 24, 1998  
0033-0599P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	9-232209	08/28/97

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By

  
CHARLES GORENSTEIN

Reg. No. 29,271

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/tnp

BSKB  
703-205-8000  
Takeshi KAMEI et al.  
33-599P  
August 24, 1998  
1 of 1

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1997年 8月28日

出願番号  
Application Number:

平成 9年特許願第232209号

出願人  
Applicant(s):

シャープ株式会社

JCS86 U.S. PTO  
09/138578

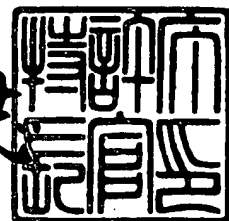


CERTIFIED COPY OF  
PRIORITY DOCUMENT

1998年 7月24日

特許庁長官  
Commissioner,  
Patent Office

伴佐山建志



出証番号 出証特平10-3056096

【書類名】 特許願

【整理番号】 1970701

【提出日】 平成 9年 8月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明の名称】 データ伝送路

【請求項の数】 4

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 亀田 健

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 村松 剛司

【特許出願人】

    【識別番号】 000005049

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【手数料の表示】

    【予納台帳番号】 008693

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

特平 9-232209

【物件名】 要約書 1

【包括委任状番号】 9106002

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ伝送路

【特許請求の範囲】

【請求項1】 非同期系において複数段に連続接続されて用いられるデータ伝送路であって、

前記データ伝送路のそれぞれは、

前段部から伝送されたデータまたは外部の同期系から出力されるデータを入力して保持し、後段部へ出力して伝送するためのデータ保持部と、

前記データ保持部における前記データの入力および出力を制御するための転送制御部と、

前記同期系から出力されるデータを前記非同期系の伝送路に取込み伝送するモード指定時、前記転送制御部による前記同期系から出力されるデータおよび前記前段部から非同期系で伝送されるデータの前記データ保持部への入力タイミングを調整するための調整部とを備えた、データ伝送路。

【請求項2】 前記同期系により制御されるバッファ手段をさらに有し、

前記バッファ手段は前記同期系と前記データ保持部との間に設けられて前記同期系の出力データを入力して一時保持し、前記データ保持部に出力することを特徴とする、請求項1に記載のデータ伝送路。

【請求項3】 前記データ保持部へのデータ入力完了に応じて前記モード指定が解除されることを特徴とする、請求項1または2に記載のデータ伝送路。

【請求項4】 前記転送制御部は、

転送の許可または禁止を指示する指示信号に基づいて、前記前段部から与えられる第1のパルスを第2のパルスとして前記後段部に転送するために、

前記第1のパルスを記憶する第1の記憶手段と、

前記指示信号の禁止状態に应答してリセットされる第2の記憶手段と、

前記第1のパルスの入力に应答してセットされ、かつ任意に与えられる第3のパルスの入力に应答してリセットされる第3の記憶手段と、

前記第1の記憶手段が前記第1のパルスを記憶していること、前記第1の記憶手段に前記第1のパルスが与えられていないこと、前記第2の記憶手段がリセッ

ト状態であること、前記指示信号が許可状態であること、および前記第3の記憶手段がリセット状態であることに応答して、第4のパルスを出力する論理手段とを備え、

前記第1の記憶手段は前記第4のパルスの入力によりリセットされ、前記第2の記憶手段は前記第4のパルスを記憶して前記第2のパルスを発生することを特徴とし、

前記調整部は、

前記第1の記憶手段が前記第1のパルスを記憶していることおよび前記第1の記憶手段に前記第1のパルスが与えられていないことに応答して、前記非同期系のデータ伝送と前記同期系のクロック間に所望のタイミングを設けて前記第3のパルスを発生させることを特徴とする、請求項1ないし3のいずれかに記載のデータ伝送路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は非同期系において複数段に連続接続されて用いられるデータ伝送路に関し、特に、外部のクロック同期系からのデータをも該伝送路に取込み伝送可能なデータ伝送路に関する。

【0002】

【従来の技術】

FIFO（ファーストイン・ファーストアウト）メモリを用いたデータの入出力動作、またはデータ駆動型の情報処理動作を含むデータ処理装置には、非同期のハンドシェイク方式を採用したデータ伝送装置が用いられることがある。このようなデータ伝送装置では、複数のデータ伝送路が接続され、それらのデータ伝送路がデータの転送要求信号およびデータの転送を許可するか否かを示す転送許可（Acknowledge）信号を互いに送受信しながら、自律的なデータ転送が行なわれる。

【0003】

図7は、従来のハンドシェイク方式を採用したデータ伝送装置の一例を示すブ

ロック図である。

【0004】

図8は、図7に示されたデータ伝送路の構成を示すブロック図である。

図7において、このデータ伝送装置はデータ伝送路10、20および30を含む。各データ伝送路は、転送制御回路10a、20aおよび30aをそれぞれ含み、さらにデータ保持回路10b、20bおよび30bをそれぞれ含む。各データ伝送路は、所定のロジック回路を介してシーケンスに接続されている。図7には、データがデータ伝送路10→20→30と順に転送されていく間に、ロジック回路15→25→35でシーケンスに処理される構成となっている。

【0005】

図7に示された各データ伝送路のブロック構成が図8に示される。図8には、データ伝送路10に関するブロック構成を示しているが、その他のデータ伝送路についても同様な構成が採用されるので、それらに関する説明は省略する。図8において、伝送路10は、自己同期型の転送制御回路10aおよびDタイプフリップフロップからなるデータ保持回路10bを含む。転送制御回路10aは、前段部（図示せず）からパルスを受けるパルス入力端子CI、前段部に転送の許可または転送の禁止を示す転送許可信号を出力する転送許可出力端子RO、後段部（図示せず）にパルスを出力するパルス出力端子CO、後段部から転送の許可または転送の禁止を示す転送許可信号を受ける転送許可入力端子RI、およびデータ保持回路10bにデータ保持動作を制御するクロックパルスを与えるためのパルス出力端子CPを有している。転送制御回路10aは、前段部からのパルスを受けると、後段部からの転送許可信号が許可状態であるならば、後段部にパルスを出力するとともにデータ保持回路10bにパルスを出力する。データ保持回路10bは、転送制御回路10aから与えられるパルスに応答して、前段部から与えられるデータDIを保持し、その保持したデータを後段部に出力データDOとして与える。

【0006】

図7に戻り、転送制御回路20aのパルス入力端子CIには転送制御回路10aのパルス出力端子COが接続され、転送要求信号C20が伝送される。転送制

御回路 20 a のパルス出力端子 C O には転送制御回路 30 a のパルス入力端子 C I が接続され、転送要求信号 C 30 を伝送する。転送制御回路 20 a の転送許可出力端子 R O には転送制御回路 10 a の転送許可入力端子 R I が接続され、転送許可信号 R 20 を伝送する。転送制御回路 20 a の転送許可入力端子 R I には転送制御回路 30 a の転送許可出力端子 R O が接続され、転送許可信号 R 30 が伝送される。さらに、転送制御回路 10 a のパルス入力端子 C I は図示されない前段部の転送制御回路のパルス出力端子 C O に接続され、転送要求信号 C 10 を受ける。転送制御回路 30 a のパルス出力端子 C O は、図示されない後段部の転送制御回路のパルス入力端子 C I に接続され、転送要求信号 C 40 を出力する。転送制御回路 10 a の転送許可出力端子 R O は図示されない前段部の転送制御回路の転送許可入力端子 R I に接続され、転送許可信号 R 10 を出力する。転送制御回路 30 a の転送許可入力端子 R I は図示されない後段部の転送制御回路の転送許可出力端子 R O に接続され、転送許可信号 R 40 を受ける。

## 【0007】

図7において、たとえばデータ伝送路10がデータ保持状態にある場合、後段のデータ伝送路20がデータ保持状態にあれば、データ伝送路10からデータ伝送路20にデータは送られない。また、後段のデータ伝送路20がデータを保持していない状態にあれば（保持していない状態になれば）、少なくとも予め設定された遅延時間をかけてデータが伝送路10からデータ伝送路20に送られる。

## 【0008】

このように、接続された隣のデータ伝送路との間で送受信される転送要求信号および転送許可信号に従って非同期に、そして少なくとも予め設定された遅延時間をかけてデータ転送を行なうような制御を自己同期型転送制御と呼び、そのようなデータ転送を制御する回路を自己同期型転送制御回路と呼ぶ。

## 【0009】

図9は、従来の自己同期型転送制御回路の一例を示す回路図である。図10は、図9に示された回路動作を説明するためのタイミングチャートである。

## 【0010】

図9において、パルス入力端子C I は前段部からのパルス状の転送要求信号を



受け、転送許可出力端子ROは前段部に転送許可信号を出力する。パルス出力端子COは後段部にパルス状の転送要求信号を出力し、転送許可入力端子RIは後段部から転送許可信号を受ける。マスタリセット入力端子/MRはマスタリセット信号を受ける。

【0011】

NANDゲート110および120は、RSフリップフロップ111を構成している。ノード/Sに“L”のパルスが与えられると、応じてRSフリップフロップ111はセットされる。これにより、RSフリップフロップ111は「L」のパルスを記憶し、ノードQに「H」を出力する。また、ノード/Rに「L」のパルスが与えられると、RSフリップフロップ111はリセットされる。これにより、RSフリップフロップ111はノードQに「L」を出力する。NANDゲート150および160もまたRSフリップフロップ112を構成する。RSフリップフロップ112の動作は、RSフリップフロップ111の動作と同様である。

【0012】

4入力NANDゲート140の第1の入力端子はパルス入力端子CIに接続され、第2の入力端子はRSフリップフロップ111のノードQに接続され、第3の入力端子は転送許可入力端子RIおよびRSフリップフロップ112のノード/Sに接続され、第4の入力端子は後述するインバータ180の出力ノードに接続される。

【0013】

転送許可出力端子ROの出力が“H”であることは、転送許可状態を示し、逆に“L”であることは転送禁止状態を示している。また、パルス入力端子CIの入力が“L”であることは前段からデータ転送が要求されていることを表わし、逆に“H”であることは前段からデータ転送が要求されていないことを表わしている。

【0014】

次に、図10のタイミングチャートを参照しながら図9の転送制御回路の動作を説明する。

## 【0015】

まず、マスタリセット端子/MRに“L”のパルスが与えられると、この転送制御回路は初期化される。これにより、パルス出力端子CO、ノード/Qおよび転送許可出力端子ROにそれぞれ“H”が出力される。

## 【0016】

転送許可出力端子ROからの転送許可信号が許可状態であることに基づいてパルス入力端子CIに前段部から“L”のパルスが与えられると、RSフリップフロップ111がセットされ、ノードQの出力が“H”となる。これにより、転送許可出力端子ROからの出力が“L”（禁止状態）となるので、前段部に対してさらなるデータ転送を禁止する。その後、所定時間を経過するとパルス入力端子CIに与えられるパルスが“H”となる。NANDゲート140は、前段からデータ転送要求を受け取ったことをRSフリップフロップ111が記憶しており（ノードQ=“H”）、かつ、パルス入力端子CIが“H”に復帰しており、かつ、この転送制御回路が後段にデータ転送要求を出している途中でなく（パルス出力端子CO=“H”）、かつ転送許可信号入力端子RIに転送許可状態の信号入力があるとき（端子RI=“H”）であるとき、その出力ノードGは“L”となる。NANDゲート140の出力ノードGが“L”になると、前段のRSフリップフロップ111がリセットされ、また次段のRSフリップフロップ112がリセットされる。RSフリップフロップ112の出力ノードは“L”を有するので、次段のインバータ170を介して得られる対応のデータ保持回路に対するパルス出力端子CPは“H”に立上がる。このパルス出力端子CPが“H”に立上がったときに、対応のデータ保持回路にデータ保持のためのクロックパルスが与えられるので、応じてデータ保持回路は入力データDIをラッチし出力データDOにして送出する。さらに、インバータ170の出力はインバータ180を通り、遅延素子190を通してパルス出力端子COを“L”にする。これにより、後段の転送制御回路にデータ転送を要求するようにそのパルス入力端子の信号レベルを“L”に設定する。したがって、次段の転送制御回路は前段の転送制御回路からの転送要求信号を受け取ることになる。

## 【0017】

その後、一定時間期間経過後、転送要求信号を受け取った後段の転送制御回路は、転送許可信号を禁止状態（＝“L”）にして転送許可入力端子R Iに返してくる。転送許可入力端子R Iの信号レベルはフリップフロップ112をセットする。これに伴いパルス出力端子C Pは“L”の信号レベルになり、さらにパルス出力端子C Oは“H”に戻る。

## 【0018】

その後、後段のデータ伝送路が該伝送路よりもさらに後段の伝送路にデータを転送し、それによって転送許可入力端子R Iは“H”に戻る。これにより、次段のデータ伝送路に対して新たなデータ転送が可能となる。

## 【0019】

また上述した転送制御回路を改良したものが特開平6-83731号公報に示される。その内容については、公報に詳述されているので、ここでは簡単に述べる。この公報に開示のものは任意のタイミングでデータの転送を抑止または許可できる自己同期型転送制御回路を提供する。そのため、この公報に開示のものによる自己同期型転送制御回路を含んで構成されるデータ伝送路および各データ伝送路間に配置されるロジック回路などにおいて、データまたは信号転送時のタイミング検証や、処理内容のデバッグに際して動作の追跡を1ステップずつ行なうことが可能となっている。

## 【0020】

## 【発明が解決しようとする課題】

上述したような従来の転送制御回路においては、後段のデータ伝送路が空き状態（転送許可入力端子R I＝“H”）の場合であれば、データが自律的に順次後段のデータ伝送路に伝送されてしまう。そのため、外部のクロック同期回路（たとえば、時計やC P U（中央装置）での計算結果の書込まれたレジスタなど）からの出力データをデータ伝送装置の途中の非同期データ伝送路で取込むことを想定した場合、クロック同期回路の出力データは転送制御回路からのクロックパルス（パルス出力端子C Pの信号レベル）のタイミングでデータ保持回路に取込まれることになる。

## 【0021】

クロック同期回路を駆動しているクロックと非同期データ伝送路の転送制御回路からのクロックパルスは全く無相関であるから、言い換えれば、非同期系は同期系に対して全く任意のタイミングで動作するから、クロック同期回路の出力データは全く予想できないタイミングでデータ保持回路に取込まれる。したがって、クロック同期回路の出力データを所望のタイミングでデータ保持回路に取込めないばかりか、クロック同期回路中で変化している途中のデータをデータ保持回路に取込んでしまうおそれがある。

## 【0022】

また、上述の特開平6-83731号公報に開示の技術では、データ駆動型の情報処理動作を含むデータ処理装置のデバッグ作業について考慮されたものである。たとえば、データ駆動型の情報処理動作とノイマン型のCPUのようなクロック同期型回路を混載したICなどについて考慮されたものではない。したがって、外部のクロック同期回路からの出力データをデータ伝送装置の途中の非同期データ伝送路に取込むことを想定したものではなかった。

## 【0023】

それゆえに、この発明の目的は、データ駆動型の情報処理動作を含む非同期系のデータ伝送路に外部の同期系から出力されるデータ（信号）を所望される任意のタイミングで取込むことを可能とするデータ伝送路を提供することである。

## 【0024】

## 【課題を解決するための手段】

請求項1に記載のデータ伝送路は、非同期系において複数段に連続接続されて用いられるデータ伝送路であり、各データ伝送路は、前段部から伝送されたデータまたは外部の同期系から出力されるデータを入力して保持し、後段部へ出力して伝送するためのデータ保持部と、データ保持部におけるデータの入力および出力を制御するための転送制御部と、同期系から出力されるデータを非同期系の伝送路に取込み伝送するモード指定時に、転送制御部による同期系から出力されるデータおよび前段部から非同期系で伝送されるデータのデータ保持部への入力タイミングを調整するための調整部とを備えて構成される。

## 【0025】

したがって、調整部が非同期系のデータ伝送路において、転送制御部による同期系から出力されるデータおよび前段部から非同期系で伝送されるデータのデータ保持部への入力タイミングを調整するので、外部から同期系のデータを取込んで非同期系で伝送することが可能となる。

【0026】

これにより、データ駆動型の情報処理動作を含む非同期系のデータ伝送路にノイマン型CPUのような同期系からの出力データを任意のタイミングで取込んで処理し伝送できるので、データ駆動型の情報処理動作の回路とノイマン型のクロック同期型の情報処理動作の回路とを混載したICを提供することが容易に可能となる。

【0027】

請求項1に記載のデータ伝送路のデータ保持部が、非同期系で伝送されるデータを保持する非同期系保持回路と同期系から出力されるデータを保持する同期系保持回路とを備えて構成されてもよい。

【0028】

したがって、データ保持部は同期系用のデータ保持回路と非同期系用のデータ保持回路とを個別に設けて、それぞれ専用の処理を行なうことが可能になる。

【0029】

請求項2に記載のデータ伝送路は、請求項1に記載のデータ伝送路がさらに同期系により制御されるバッファ手段を有し、このバッファ手段は同期系とデータ保持部との間に設けられるよう構成される。

【0030】

したがって、このバッファ手段が設けられることにより、同期系からの出力データをデータ保持部に連続して取込むことが可能となる。

【0031】

それゆえに、同期系の出力データが非同期系の伝送路の非同期ハンドシェイクより速く変化する場合であっても、同期系からの出力データをデータ保持部に連続的に取込むことが可能となって伝送の効率が向上する。

【0032】

請求項3に記載のデータ伝送路は請求項1または2に記載のデータ伝送路において、データ保持部へのデータ入力完了に応じて、モード指定が解除されるよう構成される。

【0033】

したがって、データ保持部に非同期系および同期系のデータが入力完了したとき、モード指定が解除されてタイミング調整部は動作しなくなるので、データ伝送路は通常の非同期系の動作状態へ移行する。

【0034】

それゆえに、外部の同期系からの出力データ取込時以外は、タイミング調整部によるタイミング調整は図られないので、データ伝送路における不必要な時間調整がなくなって、同期系のデータを取込可能な伝送路であってもその伝送速度は低下しない。

【0035】

請求項4に記載のデータ伝送路は、請求項1ないし3のいずれかに記載のデータ伝送路において、転送制御部が、転送の許可または禁止を指示する指示信号に基づいて、前段部から与えられる第1のパルスを第2のパルスとして後段部に転送するために、第1のパルスを記憶する第1の記憶手段と、指示信号の禁止状態に応答してリセットされる第2の記憶手段と、第1のパルスの入力に応答してセットされ、かつ任意に与えられる第3のパルスの入力に応答してリセットされる第3の記憶手段と、第1の記憶手段が第1のパルスを記憶していること、第1の記憶手段に第1のパルスが与えられていないこと、第2の記憶手段がリセット状態であること、指示信号が許可状態であること、および第3の記憶手段がリセット状態であることに応答して第4のパルスを出力する論理手段とを備えて、第1の記憶手段は第4のパルスの入力によりリセットされ、第2の記憶手段は第4のパルスを記憶して第2のパルスを発生するよう構成され、調整部は、第1の記憶手段が第1のパルスを記憶していることおよび第1の記憶手段に第1のパルスが与えられていないことに応答して、非同期系のデータ伝送と同期系のクロック間に所望のタイミングを設けて第3のパルスを発生するよう構成される。

【0036】

したがって、転送制御部においては、少なくとも第3の記憶手段がセット状態にある限り、言い換えれば少なくとも第3の記憶手段が外部から第3のパルスが与えられずにリセット状態にならない限り、論理手段は第4のパルスを発生せず、第1の記憶手段から第2の記憶手段へのパルスの転送が抑制される。

【0037】

それゆえに、所望に応じて任意に第3のパルスを与えるだけで、転送制御部において伝送路の前段部から与えられる第1のパルスを第2のパルスとして後段部の伝送路に転送する動作を抑制できる。この第3のパルスを所望のタイミングで発生させるよう調整部が構成されているので、前段部から与えられる第1のパルスを第2のパルスとして後段部に転送するタイミングを所望の値に容易に設定できて、非同期系の伝送路に同期系からの出力データを容易に、かつ確実に取込んで伝送することが可能となる。

【0038】

#### 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照しながら詳細に説明する。なお、ここでは同期系からの出力データを非同期系のデータ伝送路に取込む場合を説明する。

【0039】

図1は、この発明の実施の形態による転送制御回路とタイミング調整回路を含むデータ伝送路の構成図である。図2は、図1の転送制御回路とタイミング調整回路の回路構成図である。図3はこの発明の実施の形態による、データ駆動型の情報処理動作を含む非同期のデータ伝送装置とクロック同期回路を含んだデータ処理装置の構成図である。図4は図2の転送制御回路およびタイミング調整回路の動作を説明するためのタイミングチャートである。

【0040】

図3において、データ処理装置はデータ伝送路10、2および30を含む。さらにデータ伝送路10および30のそれぞれはデータ保持回路10bおよび30bをそれぞれ含む。また、データ伝送路2はさらに、非同期系で伝送されるデータDIを入力し保持しデータDOにして出力するための非同期系保持回路2cお

よび外部のクロック同期回路4からの同期系の出力データd Iを入力し保持しデータd Oにして出力する同期系データ保持回路2 bを含む。各データ伝送路は、所定のロジック回路1 5、4 5、および3 5を介してシーケンスに接続されている。図では、データがデータ伝送路1 0→2→3 0と順に伝送されていく間にロジック回路1 5→4 5→3 5でシーケンスに、たとえば加減乗除などの一般的な演算処理が施される構成となっている。ただし、データ伝送路2では、CPUなどの同期系のデバイスであるクロック同期回路4の出力信号であるデータd Iをも取込む構成となっている。そして、ロジック回路4 5にはロジック回路1 5の出力であるデータD Iとクロック同期回路4の出力データd Iとが任意のタイミングで入力されて処理されて、処理結果がデータD Iとして伝送路3 0に渡される構成となっている。

【0041】

転送制御回路2 aのパルス入力端子C Iには転送制御回路1 0 aのパルス出力端子C Oが接続され、転送要求信号C 2が伝送される。転送制御回路2 aのパルス出力端子C Oには転送制御回路3 0 aのパルス入力端子C Aが接続され、転送要求信号C 3を伝送する。転送制御回路2 aの転送許可出力端子R Oには転送制御回路1 0 aの転送許可入力端子R Iが接続され、転送許可信号R 2を伝送する。転送制御回路2 aの転送許可入力端子R Iには転送制御回路3 0 aの転送許可出力端子R Oが接続され、転送許可信号R 3を伝送する。

【0042】

さらに、転送制御回路1 0 aのパルス入力端子C Iは図示されない前段部の転送制御回路のパルス出力端子C Oに接続され、転送要求信号C 1を受ける。転送制御回路3 0 aのパルス出力端子C Oは、図示されない後段部の転送制御回路のパルス入力端子C Iに接続され、転送要求信号C 4を出力する。転送制御回路1 0 aの転送許可出力端子R Oは図示されない前段部の転送制御回路の転送許可入力端子R Iに接続され、転送許可信号R 1を出力する。転送制御回路3 0 aの転送許可入力端子R Iは図示されない後段部の転送制御回路の転送許可出力端子R Oに接続され、転送許可信号R 4を受ける。

【0043】



図において、たとえばデータ伝送路10がデータ保持状態にある場合、後段部のデータ伝送路2がデータ保持状態にあれば、データ伝送路10からデータ伝送路2にデータは送られない。また、後段部のデータ伝送路2がデータを保持していない状態にあれば（保持していない状態になれば）、少なくとも予め設定された遅延時間をかけてデータが伝送路10からデータ伝送路2に送られる。

## 【0044】

この発明の実施の形態による転送制御回路は通常は前述した従来の転送制御回路と同様に動作する。また、図のデータ伝送路2で示されるような外部のクロック同期回路4からの出力データdIを取込む際には、所望のタイミングにおいてクロック同期回路4の出力データdIを取込めるように動作する。

## 【0045】

図3に示されたデータ伝送路2のブロック構成が図1に示される。図3のデータ伝送路2以外のデータ伝送路については、従来のデータ伝送路が採用されており、それらに関する説明は省略する。

## 【0046】

図1のデータ伝送路は転送制御回路2a、Dタイプフリップフロップを含んで構成される同期系および非同期系データ保持回路2bおよび2c、ならびにタイミング調整回路2dを含む。

## 【0047】

転送制御回路2aは従来の転送制御回路20aと同様にパルス入力端子CI、パルス出力端子CPおよびCO、転送許可入力端子RIおよび転送許可出力端子ROを含むとともに、新たにモード入力端子SYNCおよびクロック入力端子CKを含む。

## 【0048】

タイミング調整回路2dは外部クロック入力端子CLK、転送制御回路2aのモード入力端子SYNCと接続されているモード入力端子SYNCおよび転送制御回路2aのクロック入力端子CKと接続されるクロック出力端子CKを含んでいる。端子SYNCおよびCLKは図示されない外部制御装置に接続されている。この外部制御装置はモード入力端子SYNCにモード信号を与え、端子CLK

にクロックを与える。

【0049】

モード信号は、転送制御回路2aに対して前述した自律的な動作モードと、端子CKに与えられるクロックに基づいて転送要求信号の伝送が制御されるモードのいずれかを設定するような信号である。モード信号により端子SYNCが“L”であるとき、転送制御回路2aは自律的な動作モードに設定されて前述したような自己同期型転送制御回路と同じ動作をする。一方、モード信号により端子SYNCが“H”であるとき、転送制御回路2aは端子CKに与えられるクロックに基づいて転送要求信号の伝送が制御されるような動作モードに設定される。

【0050】

図2において転送制御回路2aは図9に示された従来の転送制御回路のNANDゲート140に代替してNANDゲート141を含み、新たに転送要求制御部2eを含む。その他の構成は従来と同様である。

【0051】

NANDゲート141は第1～第5の入力ノードを有し、そのうち第2～第5の入力ノードは従来のゲート140の第1～第4の入力ノードに相当し、その第1の入力ノードには後述するように転送要求制御部2eの出力ノードINH Bが接続される。

【0052】

転送要求制御部2eはDタイプフリップフロップ11および21、インバータ31、EXORゲート41およびNANDゲート51を含む。フリップフロップ21のノードCKはインバータ31を介して転送要求入力端子ICに接続され、ノードDはフリップフロップ11のノード/Qに接続されている。さらに、ノードQはフリップフロップ11のノードDに接続されるとともにEXORゲート41の一方の入力に接続される。フリップフロップ11のノードCKはクロック入力端子CKに接続され、ノードQはEXORゲート41の他方の入力に接続される。NANDゲート51の出力ノードINH Bは前述したようにNANDゲート141の第1の入力に接続される。

【0053】

タイミング調整回路2dは、ダウカウンタ61を含む。ダウカウンタ61のノードLOADはモード入力端子SYNCに接続され、ノード/CLRはマスタリセット端子/MRに接続される。さらに、ダウカウンタ61のノードENPはパルス入力端子CIに、ノード/ENTは転送許可出力端子ROに、クロック入力端子CLKには外部クロック入力端子CLKが、ノードINPUTには初期値設定端子INPUTが接続される。また、ダウカウンタ61の出力に関しては、ノードRCOが転送要求制御部2eのクロック入力端子CKに接続され、ノードOUTPUTはどこにも接続されない。

## 【0054】

ダウカウンタ61は、ノード/CLRが“L”になると初期化される。また、ノードLOADが“H”になると初期値設定端子INPUTの値がカウンタの初期値としてロードされる。ノードENPおよびノード/ENTはともにイネーブル端子であり、ノードENPが“H”かつノード/ENTが“L”の条件のときにのみダウカウンタ61はダウカウントする。ノードOUTPUTはカウントしている値を出力する。ノードRCOはカウント値が0になったとき1クロック幅のパルスを出力する。

## 【0055】

転送制御回路2aが、従来と同様な自己同期型転送制御回路として動作するモードであるとき、言い換えればモード入力端子SYNCが“L”であるとき、出力ノードINHIBは“H”に固定されるので、ゲート141の機能は従来のゲート140のそれと等しくなる。つまり、このモードであるとき転送制御回路2aにおいて転送要求制御部2eは不能化されているのと等しくなるので、該回路2aは従来と同様な自己同期型転送制御回路として動作する。

## 【0056】

次に、端子SYNCが“H”であるときについて、図4のタイミングチャートを参照しながら説明する。今、モード入力端子SYNCが外部制御により“H”に設定されかつ図2の回路はマスタリセット端子/MRからの信号入力により初期化されていると想定する。

## 【0057】

ダウンカウンタ61のノード／CLRはマスタリセット端子／MRに接続されているので、その出力端子RCOおよびOUTPUTは初期化され“L”の信号レベルを有している。そして、たとえばタイミング調整回路2dの初期値設定端子INPUTが4に固定されているものとする。このため、ダウンカウンタ61はモード入力端子SYNCが“H”となったことを受けて、その初期値として4がロードされる。

## 【0058】

前段部のデータ伝送路から転送許可出力端子ROが“H”であることに基いて、データ転送を要求する転送要求信号が入力されるとパルス入力端子CIが“L”に立下がる。端子CIに与えられた信号はRSフリップフロップ111をセットするので、ノードQには“H”が与えられる。ノードQの信号はインバータ130を介して転送許可出力端子ROに与えられ、端子ROは“L”となる。

## 【0059】

これにより、前段部の転送制御回路に対して新たなデータの転送を禁止する旨の転送禁止信号が与えられる。同時に、端子CIに与えられた信号はインバータ31を介してDタイプフリップフロップ21のノードCKに入力される。

## 【0060】

Dタイプフリップフロップ21は、インバータ31を介して入力端子CIの信号レベルをノードCKを介して受取り、ノードCKの“H”への立上がりに対応してDタイプフリップフロップ11の出力ノード／Qの信号をラッチする。その結果Dタイプフリップフロップ11と21との出力ノードQが互いに逆の信号レベルを出力し、それらがEXORゲート41に入力されるためゲート41の出力は“H”になって、NANDゲート51の出力ノードINH Bは“L”となる。

## 【0061】

その後、一定時間経過すると、転送要求入力端子CIは“H”に復帰する。端子CIが“H”に復帰し、RSフリップフロップ111の出力ノードQ、インバータ180の出力ノードおよび転送許可入力端子RIがすべて“H”であったとしても、出力ノードINH Bが“L”である期間は、NANDゲート141の出力ノードGは“H”を出力し続けることになるので、パルス出力端子COは“L”

”にはならない。したがって、後段部の転送制御回路に対して転送要求信号は伝送されない。

【0062】

このように、モード入力端子SYNCを“H”に設定することにより、転送制御回路2aにおいては前段部の転送制御回路から与えられた転送要求信号を後段部の転送制御回路へ転送することが抑制される。

【0063】

また、転送許可出力端子ROが“L”になっており、かつ転送要求入力端子CIは“H”に復帰する立上がりを受けて、タイミング調整回路2dにおいてはダウンカウンタ61がダウンカウントし始める。ダウンカウンタ61はモード入力端子SYNCが“H”になったときに初期値が4に設定されている。ゆえに、ダウンカウントし初めてから外部クロック入力端子CLKが4回目の“H”に立上がるのを受けてダウンカウンタ61はノードRCOを“H”に立上げる。

【0064】

ダウンカウンタ61の出力ノードRCOは、転送要求制御部2eのクロック入力端子CKに接続されているから、端子CKが“H”に立上がる。これに応じて、Dタイプフリップフロップ11はDタイプフリップフロップ21の出力ノードQの信号をラッチする。その結果、フリップフロップ11と21との出力ノードQは同じ信号レベルとなるので、EXORゲート41の出力ノードが“L”となって、NANDゲート51の出力ノードINH Bが“H”に立上がる。

【0065】

出力ノードINH Bが“H”に立上がると、NANDゲート141の出力ノードGは“L”に立下がる。これにより、RSフリップフロップ111がリセットされ、またRSフリップフロップ112はセットされる。RSフリップフロップ112の出力ノード/Qは“L”に立下がるので、パルス出力端子CPは“H”に立上がり、この信号レベルは対応のデータ保持回路2bと2cのクロック入力となる。これにตอบสนองしてデータ保持回路2bと2cは入力データdIおよびDIをラッチし出力データdOおよびDOにして出力する。

【0066】

さらに、RSフリップフロップ112の出力ノード/Qの信号はインバータ170および180を介して、さらに遅延素子190を通して、パルス出力端子C0に与えられる。これによりパルス出力端子C0は遅延素子190の時定数による所定時間経過後“L”となるので、後段部の転送制御回路に対しデータの転送要求信号が与えられることになる。

## 【0067】

さらに一定時間経過後、後段部の転送制御回路から転送禁止信号が送出され、転送許可入力端子RIが“L”に立下がると、RSフリップフロップ112はリセットされ、応じてパルス出力端子CPは“L”に、出力端子C0は“H”にそれぞれ復帰する。したがって、データ保持回路2bと2cに対するデータのラッチ動作は禁止され、後段部の転送制御回路に対する新たなデータの転送が禁止される。

## 【0068】

以上のように、モード入力端子SYNCが“H”に設定されている期間は、タイミング調整回路2dによるクロック入力端子CKへの信号レベルに基づいてパルス入力端子CIに与えられる転送要求信号の後端部への転送が容易に制御される。したがって、外部制御によってモード入力端子SYNCの信号レベルを所望に設定することおよびタイミング調整回路2dの初期値設定端子INPUTの値を所望の値に固定することによって、所望される任意のタイミングでデータ駆動型の情報処理動作を含む非同期系のデータ伝送装置に外部のクロック同期回路4の出力信号（データdI）を取込み伝送することを可能とする。

## 【0069】

また、タイミング調整回路2dの初期値設定端子INPUTの値を所望の値に固定するのに代替して、外部制御によって初期値設定端子INPUTの値を所望の値に可変設定することによっても同様の効果を得ることができる。

## 【0070】

なお、データdIを入力し保持する回路とデータDIを入力し保持する回路とを個別に設けたが、単一の保持回路を設けて両データを入力し保持するようにしてもよい。

## 【0071】

図5は、図3のデータ処理装置の構成の変形例を示す図である。図5の装置ではクロック同期回路4からのデータd Iを連続してデータ伝送路2に取込むためにクロック同期回路4とデータ保持回路との間にレジスタ5が設けられる。

## 【0072】

たとえば、クロック同期回路4の出力データd Iが非同期系のデータ伝送装置の非同期ハンドシェイクより速く変化する場合、データd Iを連続してデータ伝送装置に取込むことができないので、これを回避するためレジスタ5が設けられる。図5のようにレジスタ5が設けられることにより、データd Iを連続して非同期系のデータ伝送装置に取込むことが可能となる。

## 【0073】

図6は、図2のダウンカウンタ61の回路構成図である。この回路構成はCQ出版社の「デジタルシステム設計」の231頁に示されるものを引用したものである。ダウンカウンタ61の初期値設定端子INPUTの値は端子CLKのクロックが高速である場合や、データ駆動型の情報処理動作が高速である場合などの相互の相対的な速度関係によって設定される。つまり、非同期系のデータ伝送装置に同期系からの出力データが確実に取込める最小の値を端子INPUTにセットすればよく、その値の決めかたは、クロック同期回路4の出力データd Iを正確な値で非同期系のデータ伝送装置に取込むのに必要な時間を、たとえば回路設計時のシミュレーションで求めておき、それに対応した値で決定すればよい。

## 【0074】

なお、図4で示される端子SYNCの信号レベルが“H”に必要以上に長期間設定されていたとしても、非同期系のデータ伝送路のハンドシェイク時間がわずかに長くなるだけである。したがって、設計時に同期系からの出力データd Iの非同期系のデータ伝送装置に取込むのに要するのに十分な時間を調べておいて端子SYNCの信号レベルをこれより長めに“H”に設定しておいてもよい。さらに精密な制御が要求される場合は、図3のクロックパルスCP2をモニタする機構を設けて、端子SYNCが“H”になってから次のクロックパルスCP2が“H”に立上がった瞬間にデータの取込は完了しているので、これに応じて端子S

YNCの信号レベルを“H”から“L”に変化させればよい。

【図面の簡単な説明】

【図1】

この発明の実施の形態による転送制御回路とタイミング調整回路を含むデータ伝送路の構成図である。

【図2】

図1の転送制御回路とタイミング調整回路の回路構成図である。

【図3】

この発明の実施の形態によるデータ駆動型の情報処理動作を含む非同期のデータ伝送装置とクロック同期回路を含んだデータ処理装置の構成図である。

【図4】

図2の転送制御回路およびタイミング調整回路の動作を説明するためのタイミングチャートである。

【図5】

図3のデータ処理装置の構成の変形例を示す図である。

【図6】

図2のダウンカウンタの回路構成図である。

【図7】

従来のハンドシェイク方式を採用したデータ伝送装置の一例を示すブロック図である。

【図8】

図7に示されたデータ伝送路の構成を示すブロック図である。

【図9】

従来の自己同期型転送制御回路の一例を示す回路図である。

【図10】

図9に示された回路動作を説明するためのタイミングチャートである。

【符号の説明】

2 a 転送制御回路

2 b 同期系データ保持回路



2 c 非同期系データ保持回路

2 d タイミング調整回路

2 e 転送要求制御部

4 クロック同期回路

SYNC モード入力端子

CK クロック入力端子

CI パルス入力端子

CP, CO パルス出力端子

RO 転送許可出力端子

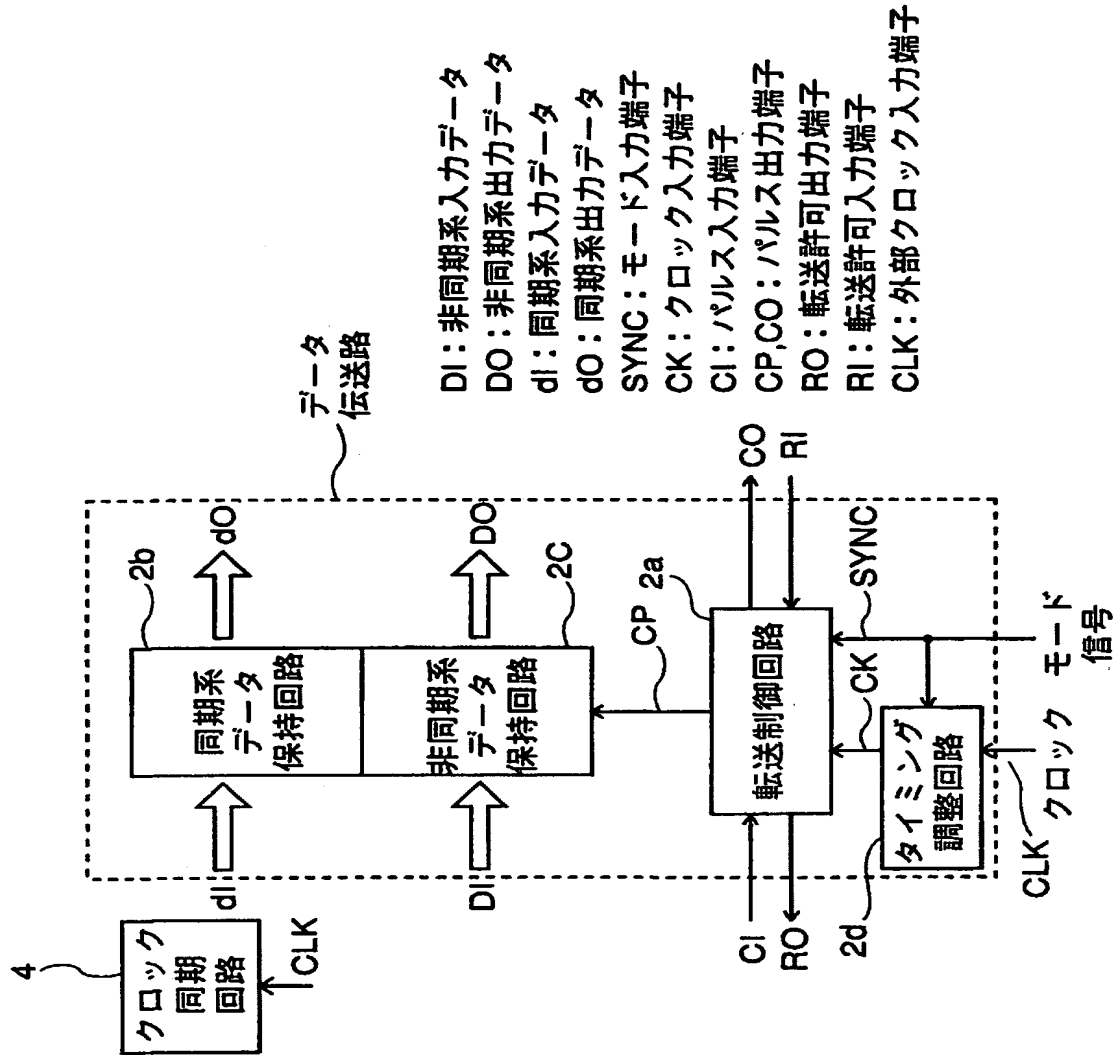
RI 転送許可入力端子

CLK 外部クロック入力端子

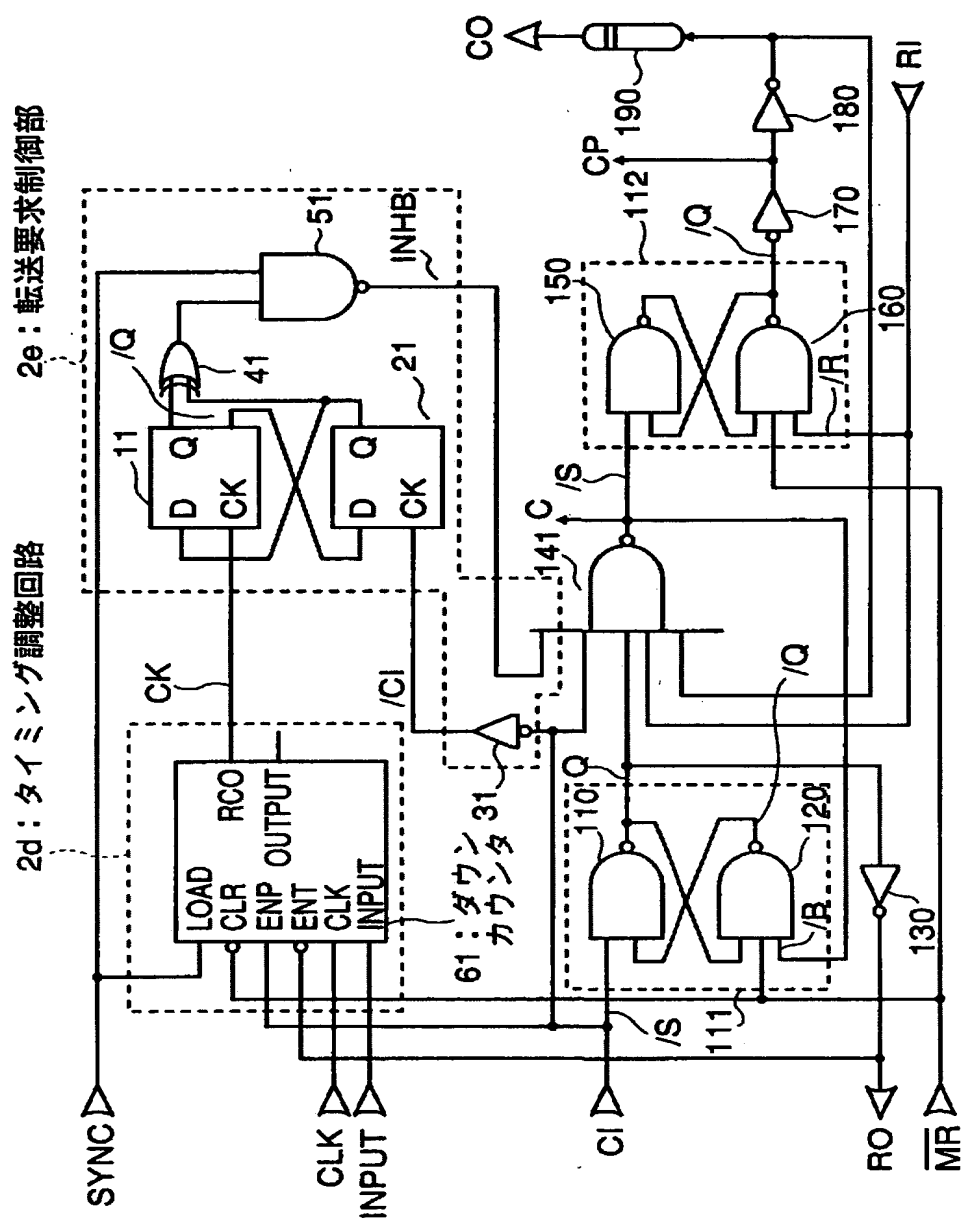
なお、各図中同一符号は同一または相当部分を示す。

【書類名】 図面

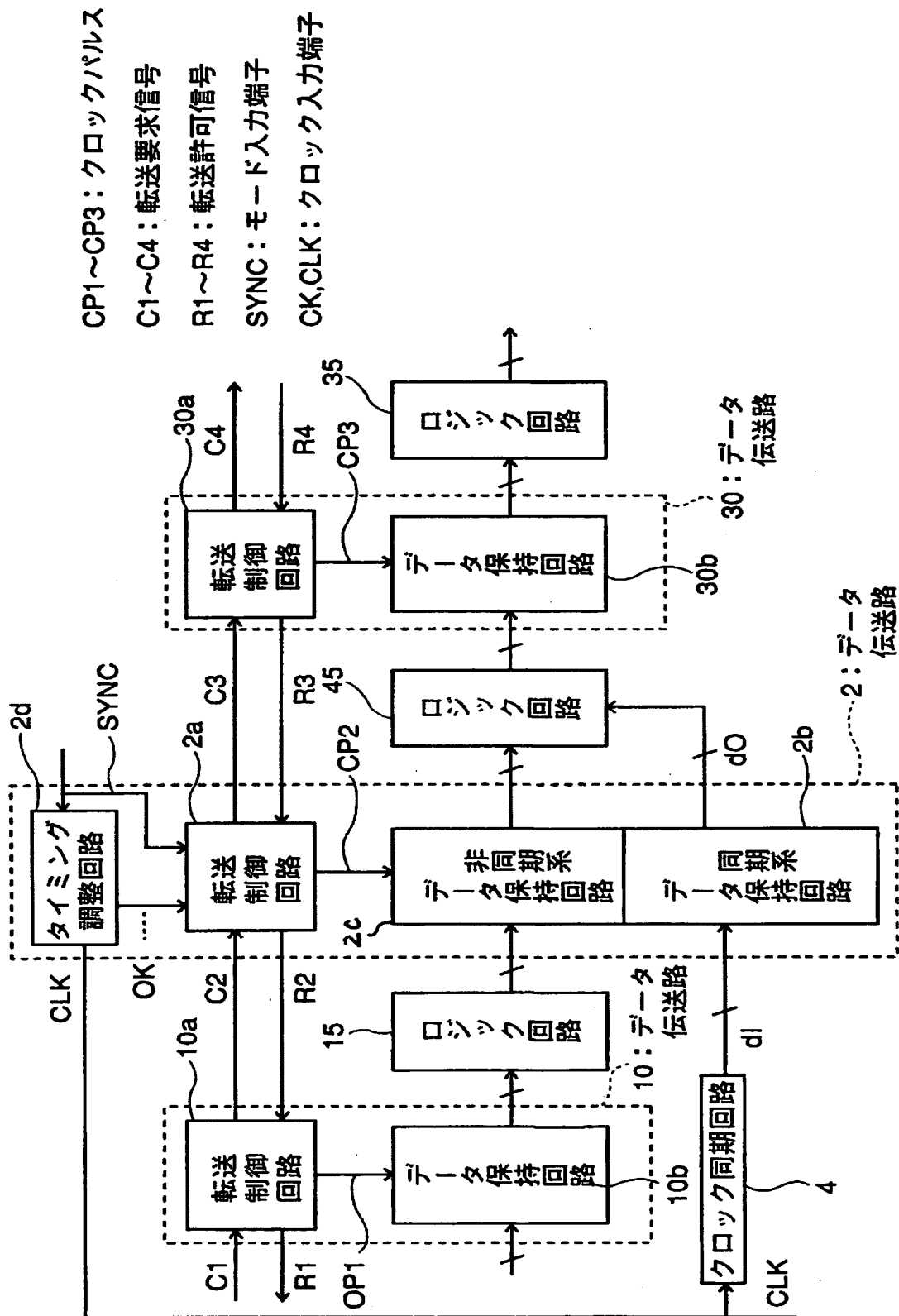
【図1】



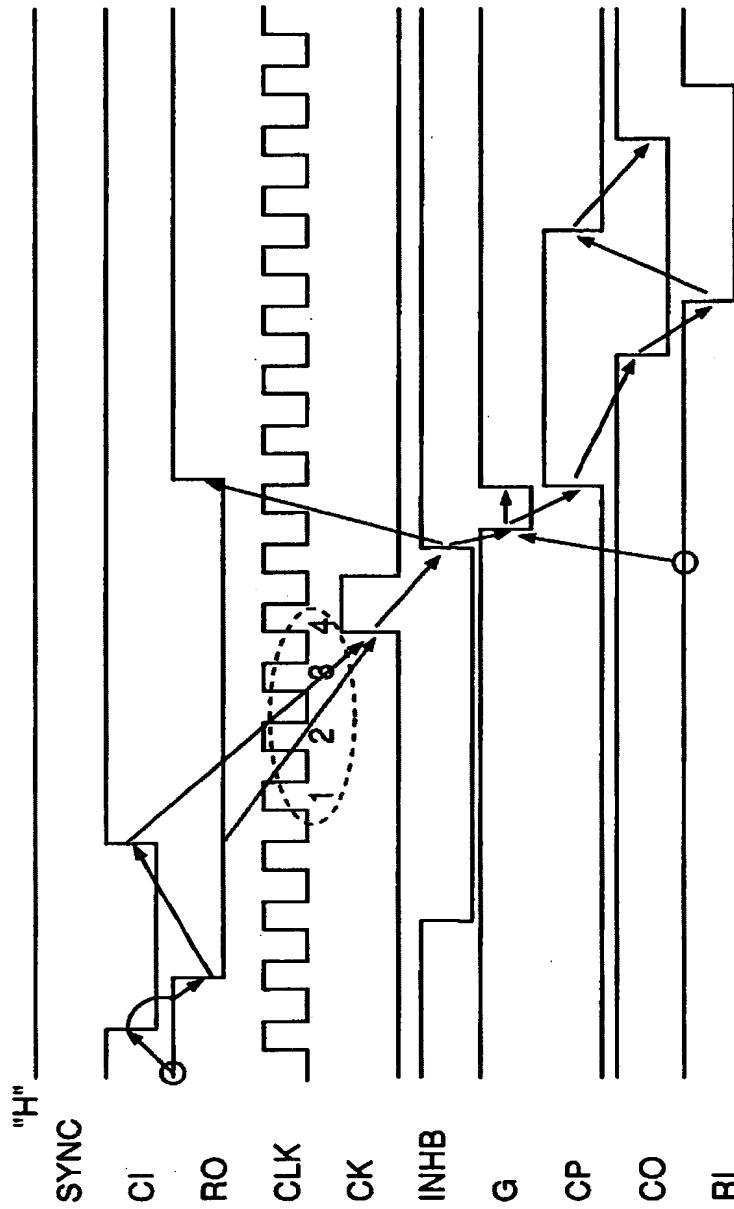
【図 2】



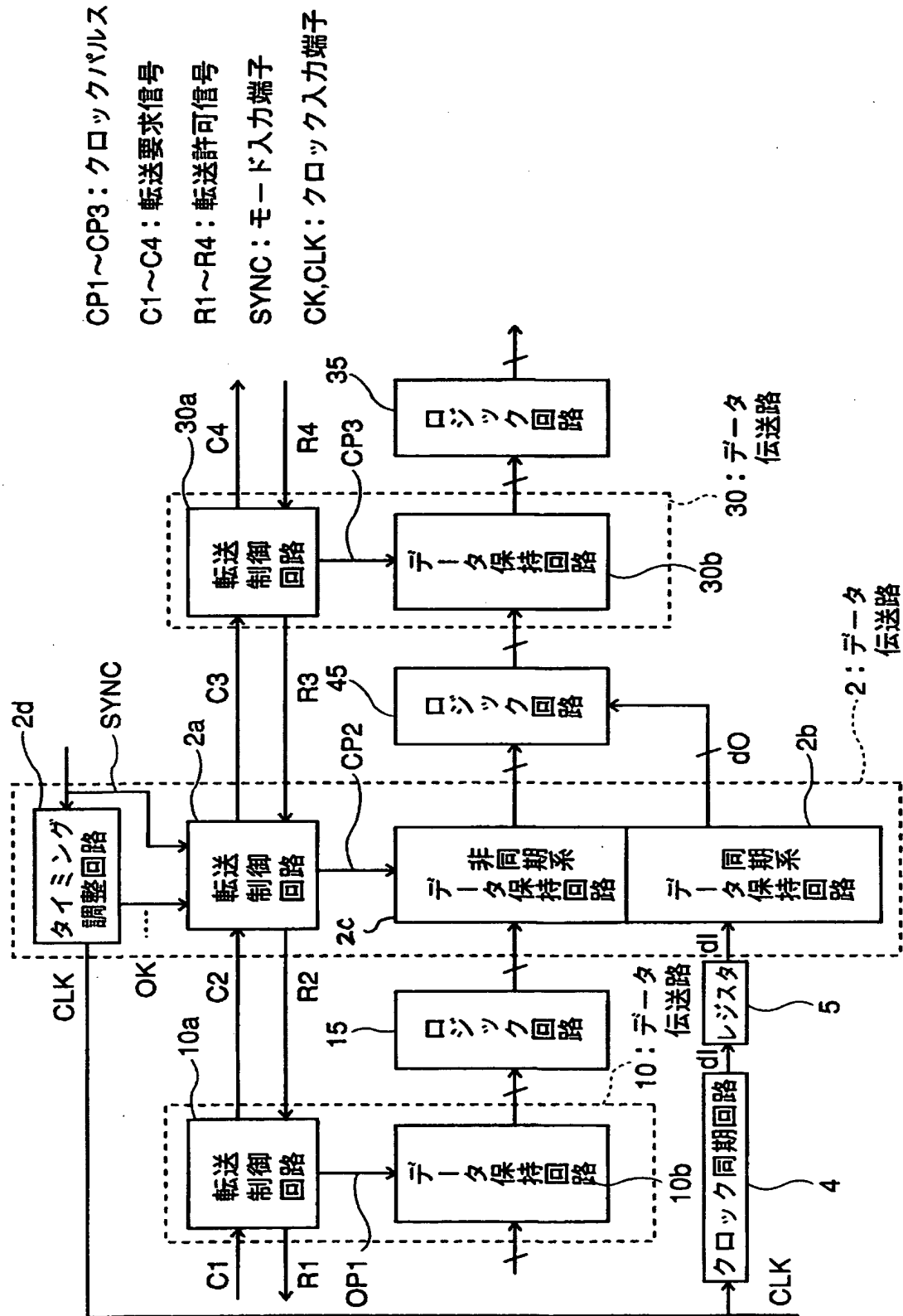
【図3】



【图4】



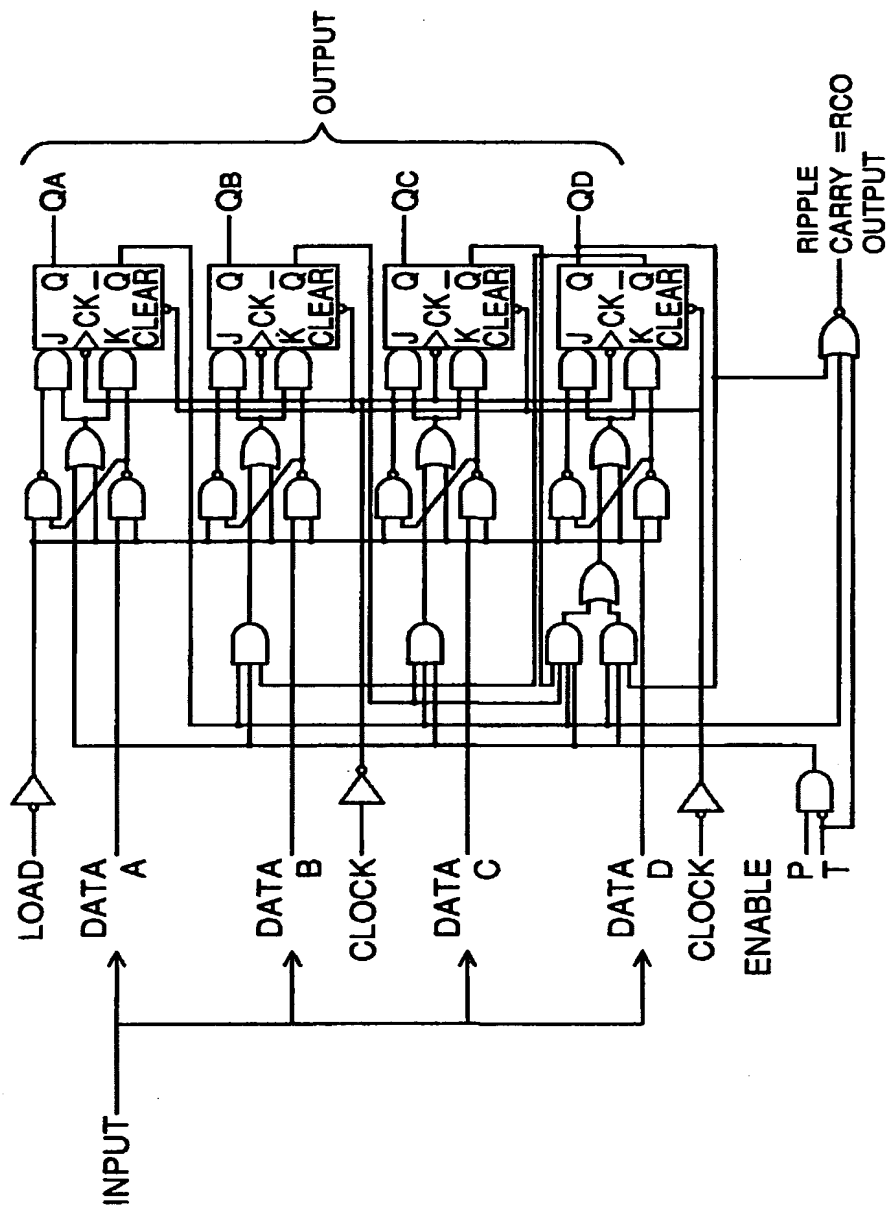
【図5】



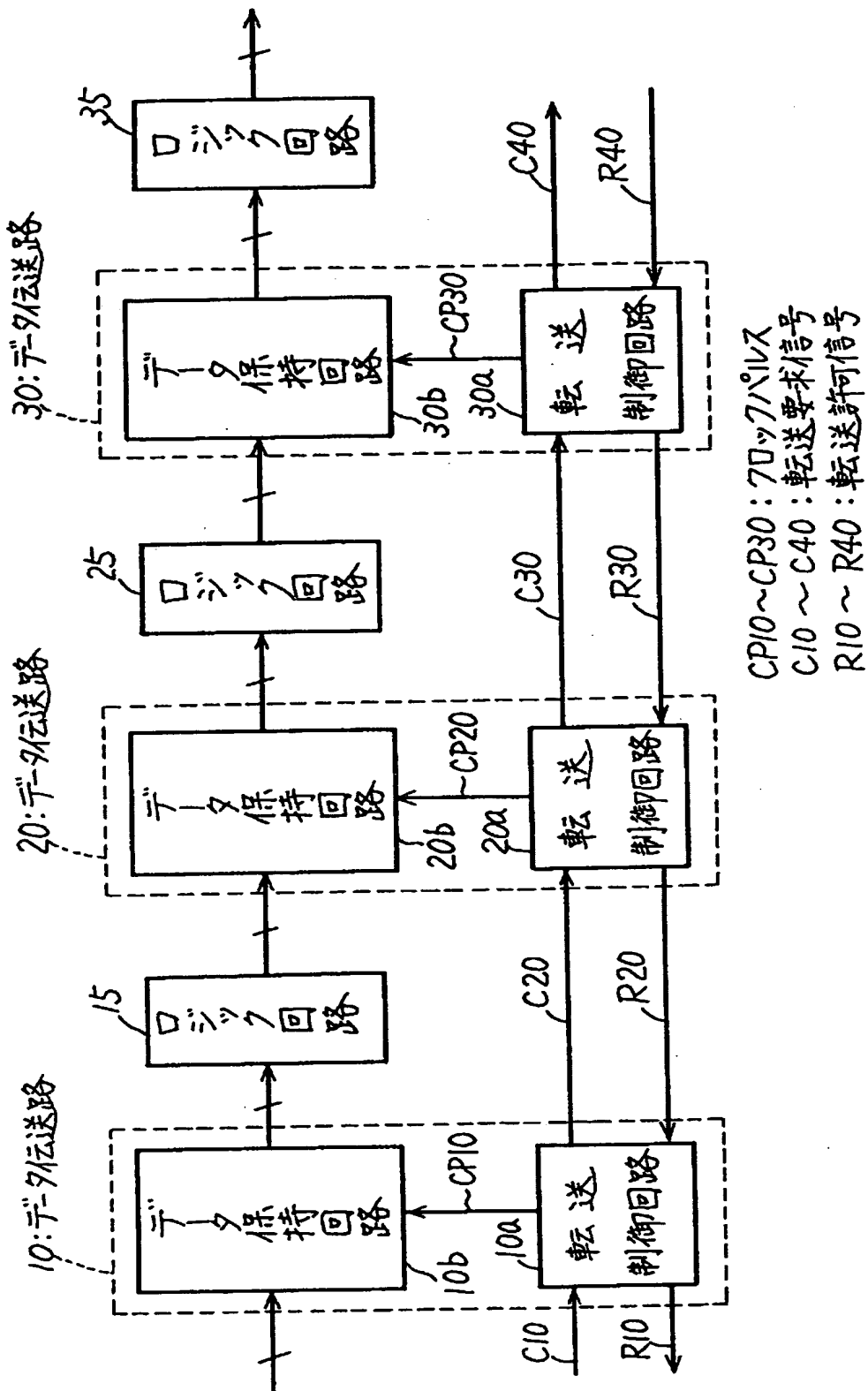
CP1~CP3: クロックパルス  
 C1~C4: 転送要求信号  
 R1~R4: 転送許可信号  
 SYNC: モード入力端子  
 CK, CLK: クロック入力端子

【図 6】

61

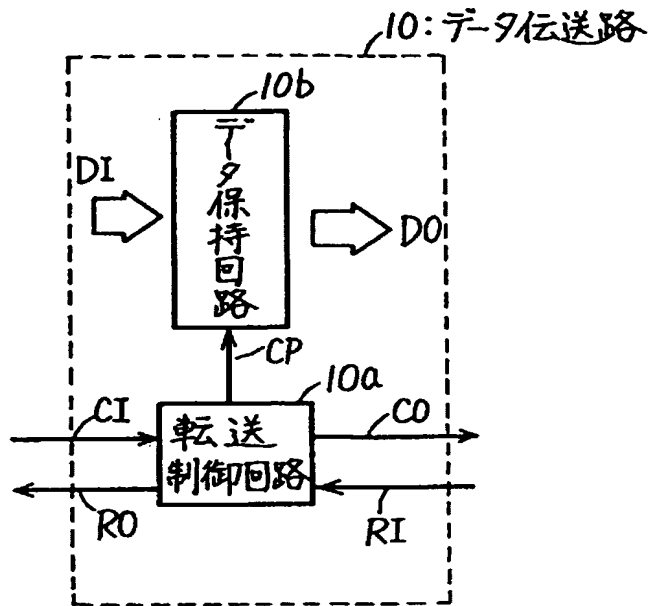


【図7】



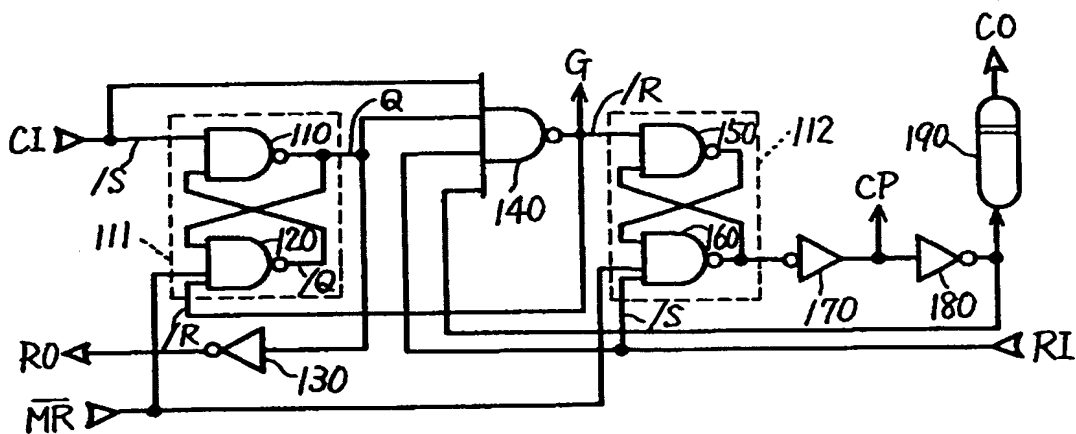


【図8】

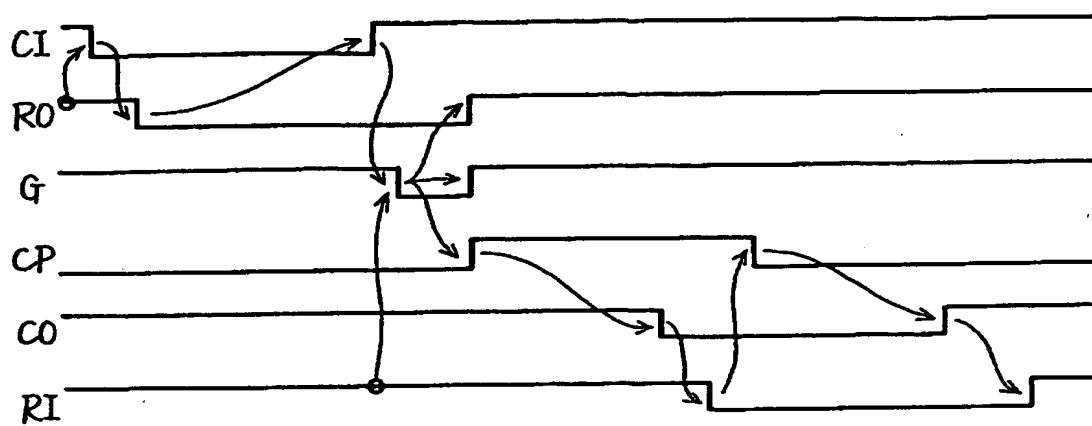


CI: パルス入力端子      RI: 転送許可入力端子  
 CP, CO: パルス出力端子      RO: 転送許可出力端子

【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 非同期系のデータ伝送路において外部の同期系からの出力データを所望される任意のタイミングで該伝送路に取込むことを可能とするデータ伝送路を提供する。

【解決手段】 非同期系において複数段に連続接続されて用いられるデータ伝送路において、データ伝送路2はデータ伝送路10から伝送されたデータDIまたはクロック同期回路4からの出力データdIを入力して保持しデータ伝送路30へ出力して伝送する場合に、タイミング調整回路2dは転送制御回路2aによるデータdIおよびDIの同期系および非同期系保持回路2bおよび2cへの入力のタイミングを両データが確実に取込まれるようなタイミング調整をする。

【選択図】 図3

【書類名】  
【訂正書類】

職権訂正データ  
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005049

【住所又は居所】

大阪府大阪市阿倍野区長池町22番22号

【氏名又は名称】

シャープ株式会社

【代理人】

申請人

【識別番号】

100064746

【住所又は居所】

大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】

深見 久郎

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社